

PATENT
9862-000026/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: JAE-HEE OH and DUCK-HYUNG LEE

Application No.: NEW

Filed: February 19, 2004

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME

PRIORITY LETTER

February 19, 2004

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

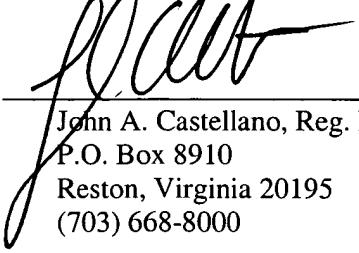
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0014414	March 7, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0014414
Application Number

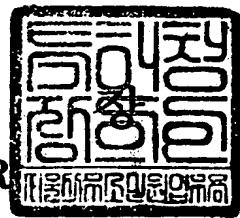
출원년월일 : 2003년 03월 07일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 19 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.07
【발명의 명칭】	캐패시터 -언더-비트라인 구조를 갖는 반도체 장치 및 그 제조방법
【발명의 영문명칭】	Semiconductor device having capacitor-under-bitline structure and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	오재희
【성명의 영문표기】	OH, Jae Hee
【주민등록번호】	671130-1347611
【우편번호】	463-777
【주소】	경기도 성남시 분당구 서현동(시범단지) 현대아파트 423-203
【국적】	KR
【발명자】	
【성명의 국문표기】	이덕형
【성명의 영문표기】	LEE, Duck Hyung
【주민등록번호】	611204-1091018
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1168번지 진산마을 삼성 차 아파트 501동 503호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 23 면 23,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 22 항 813,000 원

【합계】 865,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

캐패시터-언더-비트라인 구조를 갖는 반도체 장치 및 그 제조방법이 개시되어 있다. 제1 영역과 제2 영역으로 구분되는 반도체 기판의 상기 제1 영역 및 제2 영역 상에 게이트 라인들이 형성된다. 게이트 라인들을 포함한 기판 상에는, 제1 영역의 게이트 라인들에 인접한 기판 표면을 노출하는 스토리지 노드 콘택홀들 및 비트라인 콘택홀들과 상기 제2 영역의 게이트 라인들 및 기판 표면을 노출하는 금속 콘택홀들을 갖는 절연층이 형성된다. 스토리지 노드 콘택홀, 비트라인 콘택홀 및 금속 콘택홀의 각각의 내부에 도전성 플러그들이 형성된다. 각 금속 콘택홀 내부의 도전성 플러그와 접촉되도록 제2 영역의 절연층 상에 제1 금속 배선들이 형성된다. 각 스토리지 노드 콘택홀 내부의 도전성 플러그와 접촉되도록 제1 영역의 절연층 상에 캐패시터들이 형성된다. 캐패시터, 제1 금속 배선 및 절연층 상에 제1 층간 절연막이 형성된다. 제2 영역의 제1 층간 절연막 상에 제2 금속 배선들이 형성된다. 표준 로직 공정에 비해 2회의 리소그라피 공정만이 추가되므로 비용 효율적인 반도체 장치를 제조할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

캐패시터-언더-비트라인 구조를 갖는 반도체 장치 및 그 제조방법{Semiconductor device having capacitor-under-bitline structure and method of manufacturing the same}

【도면의 간단한 설명】

도 1은 종래의 CUB 구조를 갖는 EDRAM 장치의 단면도이다.

도 2는 본 발명의 제1 실시예에 의한 CUB 구조를 갖는 EDRAM 장치의 단면도이다.

도 3a 내지 도 3f는 본 발명의 제1 실시예에 의한 CUB 구조를 갖는 EDRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

도 4a 내지 도 4d는 본 발명의 제2 실시예에 의한 CUB 구조를 갖는 EDRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판 102 : 필드 영역

104 : 게이트 전극 106 : 게이트 스페이서

108 : 실리사이드층 110 : SBL 패턴

112 : 절연층 114a : 스토리지 노드 콘택홀

114b : 비트라인 콘택홀 114c : 금속 콘택홀

116a : 스토리지 노드 플러그 116b : 비트라인 플러그

116c : 금속 플러그 120 : 제1 층간 절연막의 제1 층

121a, 121b : 개구부 122a : 랜딩 패드

122, 122b : 제1 금속 배선 124 : 제1 층간 절연막의 제2 층

132 : 캐패시터 134a, 134b : 콘택홀

134c : 제1 비어홀 138a : 비트라인

138b, 138c : 제2 금속 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 캐패시터-언더-비트라인(capacitor-under-bitline : 이하 "CUB"라 한다) 구조를 갖는 EDRAM(Embedded DRAM) 장치 및 그 제조방법에 관한 것이다.

<19> 반도체 장치가 고집적화됨에 따라, 하나의 칩 내에 다양한 기능들을 갖는 여러 가지 구조의 제품들을 접적하여 부가 가치를 높일 수 있는 SOC(system on a chip) 기술이 채용되고 있다.

<20> SOC 탑입의 EML(embedded memory logic) 장치는 메모리 장치와 로직 장치를 하나의 칩 내에 접적한 것으로, 셀 어레이 영역과 로직 회로 영역으로 구성된다. 상기 셀 어레이 영역 내에 복수개의 메모리 셀들이 배치되고, 셀 어레이 영역 내에 저장된 정보는 로직 회로에 의해 구동되어 새로운 정보를 생성한다. DRAM 셀이나 SRAM 셀이 EML 장치의 메모리 셀로서 주로 사용된다.

<21> DRAM 장치와 로직 장치를 하나의 칩에 탑재하는 EDRAM 공정은 크게 로직 호환성을 강조하는 로직 기반의 구성(scheme)과 고집적화가 가능한 DRAM 기반의 구성으로 나뉘어

지며, 각 제조 회사들은 시장에서 요구되는 특성과 제조 원가 등을 종합적으로 고려하여 적절한 구성을 선택하여 개발하고 있다. 특히, 수율 등의 생산성에서 우위를 보이는 적층형(stack type) 캐패시터 구조를 적용할 경우, 비트라인 형성 이전에 캐패시터가 형성되는 CUB(capacitor-under-bitline) 구조나 비트라인 형성 후에 캐패시터가 형성되는 COB(capacitor-over-bitline) 구조 중에서 다시 여러 가지 측면들을 고려하여 적절한 공정 구성을 선택하여야 한다.

<22> 상기 COB 구조는 비트라인 공정 마진에 관계없이 캐패시터를 형성하는 것이 가능하여 고집적화에 유리한 반면, 표준 로직 공정 대비 8~10회 정도의 리소그라피 공정이 추가되어 원가가 상승하는 단점이 있다. 이에 반하여, 상기 CUB 구조는 집적도를 증가시키는데에 한계가 있으나 표준 로직 공정 대비 3~5회 정도의 리소그라피 공정만이 추가되므로 가격 경쟁력이 우수하다.

<23> 따라서, 표준 로직 공정에 비해 리소그라피 공정을 최소한으로 추가하여 비용 효율이 높은 EDRAM을 제조할 수 있는 공정 구조로는 CUB 구조가 주로 사용되고 있으며, 표준 로직 공정의 MOS 트랜지스터의 전기적 특성이 후속 공정의 열 다발(heat budget)에 영향을 많이 받기 때문에 열 다발이 최소한으로 요구되는 MIM(metal/high dielectric insulator/metal) 구조의 셀 캐패시터를 탑재하는 것이 일반적이다.

<24> 도 1은 종래의 CUB 구조를 갖는 EDRAM 장치의 단면도이다.

<25> 도 1을 참조하면, 셀 어레이 영역(A)과 코어/주변회로/로직 영역(B)으로 구분되는 반도체 기판(10) 상에 셀로우 트렌치 소자분리(shallow trench isolation; STI)와 같은 통상의 소자분리 공정으로 필드 영역(12)을 형성한다.

<26> 이어서, 통상의 MOS 트랜지스터 제조공정을 수행하여 상기 기판(10) 상에 게이트 산화막(도시하지 않음), 게이트 전극(14), 게이트 스페이서(16) 및 불순물 영역(소오스/드레인 영역, n+/p+ 영역)(도시하지 않음)들을 형성한다. 상기 게이트 전극(14)은 폴리 실리콘으로 형성하고 상기 게이트 스페이서(16)는 실리콘 산화물 또는 실리콘 질화물로 형성한다.

<27> 고속 동작을 구현하기 위하여 특정 부위의 게이트 전극(14) 및 기판 표면에 실리사이데이션 반응을 통해 코발트 실리사이드, 니켈 실리사이드 또는 티타늄 실리사이드와 같은 금속 실리사이드층(18)을 형성한다. 이때, 원하는 부위에만 선택적으로 실리사이드를 형성하기 위하여 실리사이드용 금속층의 증착 전에 상기 금속층과 반응하지 않는 물질, 예컨대 SiON으로 이루어진 실리사이데이션 저지층(silicidation blocking layer; 이하 "SBL층"이라 한다)(19)을 형성한다.

<28> 그런 다음, 상기 MOS 트랜지스터들을 포함한 기판(10)의 전면에 산화물로 이루어진 제1 절연층(20)을 형성하고 리소그라피 공정으로 상기 제1 절연층(20)을 식각하여 셀 어레이 영역(A)의 불순물 영역을 노출하는 스토리지 노드 콘택홀(22a) 및 비트라인 콘택홀(22b)과, 코어/주변회로/로직 영역(B)의 게이트 전극(14) 및 불순물 영역을 노출하는 더미 금속 콘택홀(22c)들을 형성한다.

<29> 상기 콘택홀들(22a, 22b, 22c)을 매립하도록 제1 절연층(20) 상에 제1 금속층, 예컨대 텅스텐층을 증착한 후, 화학 기계적 연마(chemical mechanical polishing; CMP) 공정 또는 에치백 공정으로 상기 제1 절연층(20)의 표면이 노출될 때까지 상기 제1 금속층을 제거하여 콘택 스타드(23a, 23b, 23c)들을 형성한다. 상기 콘택 스타드(23a, 23b,

23c)는 금속 콘택의 깊이를 줄여주는 효과를 주는 이외에도, 캐패시터 하부 전극(28)과 셀 어레이 영역(A)의 소오스 영역과의 콘택 저항을 줄여주는 역할을 한다.

<30> 상기 콘택 스터드(23a, 23b, 23c) 및 제1 절연층(20) 상에 산화물로 이루어진 제2 절연층(26)을 형성한 후, 통상의 캐패시터 제조 공정을 통해 MIM 구조의 캐패시터(33)들을 형성한다. 바람직하게는, 캐패시터 하부 전극(28) 및 상부 전극(32)은 텅스텐 나이트라이드(WN) 또는 티타늄 나이트라이드(TiN)로 형성하고, 캐패시터 유전체막(30)은 Ta_2O_5 또는 BST계 산화물로 형성한다.

<31> 상기 캐패시터(33)들을 포함한 제2 절연층(26) 상에 산화물로 이루어진 제3 절연층(34)을 형성한 후, 리소그라피 공정으로 상기 제3 절연층(34)을 식각하여 상기 비트라인 콘택홀(22b) 내부의 콘택 스터드(23b), 상기 캐패시터 상부 전극(32) 및 상기 더미 금속 콘택홀(22c) 내부의 콘택 스터드(23c)를 각각 노출하는 금속 콘택홀(36a, 36b, 36c)들을 형성한다.

<32> 상기 금속 콘택홀(36a, 36b, 36c)들을 매립하도록 제3 절연층(34) 상에 제2 금속층, 예컨대 텅스텐층을 증착하고, CMP 공정 또는 에치백 공정으로 상기 제3 절연층(34)의 표면이 노출될 때까지 상기 제2 금속층을 제거하여 금속 플러그(37a, 37b, 37c)들을 형성한다.

<33> 상기 금속 플러그(37a, 37b, 37c)들 및 제3 절연층(34) 상에 제3 금속층을 증착하고 이를 리소그라피 공정으로 패터닝하여 상기 금속 플러그(37a, 37b, 37c)들과 접촉하는 비트라인(38a) 및 제1 금속 배선들(38b, 38c)을 형성한다.

<34> 상술한 바와 같이 CUB 구조를 갖는 종래의 EDRAM 제조 방법에 의하면, 깊은 금속 콘택에 대한 공정 부담을 줄이기 위하여 콘택 스터드(23a, 23b, 23c)를 형성하고 여기에 금속 콘택을 연결하는 공정 구성을 많이 적용하고 있다. 따라서, 코어/주변회로/로직 영역(B)에 형성되는 금속 콘택홀(36c)의 깊이는 캐패시터(33)의 높이 + 캐패시터 상부 전극(32)의 두께 + 캐패시터 상부 전극(32)과 제1 금속 배선(38c) 간의 수직 간격과 같아진다.

<35> 이와 같은 별도의 콘택 스터드 공정에 의해, 종래의 EDRAM 공정은 표준 로직 공정에 비해 3회의 리소그라피 공정이 추가된다.

【발명이 이루고자 하는 기술적 과제】

<36> 따라서, 본 발명의 제1 목적은 표준 로직 공정 대비 리소그라피 공정을 최소한으로 추가하여 비용 효율이 높고 금속 콘택의 깊이를 줄일 수 있는 반도체 장치를 제공하는데 있다.

<37> 본 발명의 제2 목적은 표준 로직 공정 대비 리소그라피 공정을 최소한으로 추가하여 비용 효율이 높고 금속 콘택의 깊이를 줄일 수 있는 반도체 장치의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<38> 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명은, 캐패시터-언더-비트라인 구조를 갖는 반도체 장치에 있어서, 제1 영역과 제2 영역으로 구분되는 반도체 기판의 상기 제1 영역 및 제2 영역 상에 형성된 게이트 라인들; 상기 게이트 라인들을 포함한 기판 상에 형성되고, 상기 제1 영역의 게이트 라인들에 인접한 기판 표면을 노출하는 스

토리지 노드 콘택홀들 및 비트라인 콘택홀들과 상기 제2 영역의 게이트 라인들 및 기판 표면을 노출하는 금속 콘택홀들을 갖는 절연층; 상기 스토리지 노드 콘택홀, 비트라인 콘택홀 및 금속 콘택홀의 각각의 내부에 형성된 도전성 플러그들; 각 금속 콘택홀 내부의 도전성 플러그와 접촉되도록 상기 제2 영역의 절연층 상에 형성된 제1 금속 배선들; 각 스토리지 노드 콘택홀 내부의 도전성 플러그와 접촉되도록 상기 제1 영역의 절연층 상에 형성된 캐패시터들; 상기 캐패시터, 제1 금속 배선 및 절연층 상에 형성된 제1 층 간 절연막; 및 상기 제2 영역의 제1 층간 절연막 상에 형성된 제2 금속 배선들을 구비하는 것을 특징으로 하는 반도체 장치를 제공한다.

<39> 바람직하게는, 상기 제1 영역은 셀 어레이 영역이고, 상기 제2 영역은 코어 영역, 주변회로 영역 또는 로직 영역 중의 어느 하나이다.

<40> 바람직하게는, 상기 제2 금속 배선은 상기 제1 층간 절연막을 관통하는 제1 비어홀들을 통해 각각의 제1 금속 배선과 전기적으로 접속된다.

<41> 본 발명의 바람직한 일 실시예에 의하면, 상기 제1 영역의 제1 층간 절연막 상에 상기 제2 금속 배선과 동일한 층으로 형성되고, 상기 제1 층간 절연막을 관통하는 콘택홀들을 통해 각 비트라인 콘택홀 내부의 도전성 플러그와 전기적으로 접속되는 비트라인들을 더 구비한다.

<42> 본 발명의 바람직한 다른 실시예에 의하면, 각 비트라인 콘택홀 내부의 도전성 플러그와 접촉되도록 상기 제1 영역의 절연층 상에 상기 제1 금속 배선과 동일한 층으로 형성된 랜딩 패드들을 더 구비한다. 상기 랜딩 패드는 상기 비트라인 콘택홀의 사이즈보다 큰 사이즈로 형성되고, 상기 비트라인은 상기 제1 층간 절연막을 관통하는 콘택홀들을 통해 각각의 랜딩 패드와 전기적으로 접속된다.

<43> 상술한 본 발명의 제2 목적을 달성하기 위하여 본 발명은, 캐패시터-언더-비트라인 구조를 갖는 반도체 장치의 제조방법에 있어서, 제1 영역과 제2 영역으로 구분되는 반도체 기판의 상기 제1 영역 및 제2 영역 상에 게이트 라인들을 형성하는 단계; 상기 게이트 라인들을 포함한 기판 상에 절연층을 형성하는 단계; 상기 절연층을 식각하여 상기 제1 영역의 게이트 라인들에 인접한 기판 표면을 노출하는 스토리지 노드 콘택홀들 및 비트라인 콘택홀들과 상기 제2 영역의 게이트 라인들 및 기판 표면을 노출하는 금속 콘택홀들을 형성하는 단계; 상기 스토리지 노드 콘택홀, 비트라인 콘택홀 및 금속 콘택홀의 내부에 각각 도전성 플러그들을 형성하는 단계; 상기 제2 영역의 절연층 상에 각 금속 콘택홀 내부의 도전성 플러그와 접촉하도록 제1 금속 배선들을 형성하는 단계; 상기 제1 영역의 절연층 상에 각 스토리지 노드 콘택홀 내부의 도전성 플러그와 접촉하도록 캐패시터들을 형성하는 단계; 상기 캐패시터, 제1 금속 배선 및 절연층 상에 제1 충간 절연막을 형성하는 단계; 및 상기 제2 영역의 제1 충간 절연막 상에 제2 금속 배선들을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.

<44> 본 발명에 의하면, 별도의 콘택 스터드를 형성하지 않고 코어/주변회로/로직 영역의 제1 금속 배선을 셀 어레이 영역의 캐패시터와 실질적으로 동일한 레벨에 형성한다. 따라서, 표준 로직 공정에 비해 2회의 리소그라피 공정만이 추가되므로 공정 원가를 절감할 수 있으며, 금속 콘택홀 및 제1 비어홀의 깊이를 줄일 수 있어 수율 확보에 유리하다.

<45> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<46> 실시예 1

<47> 도 2는 본 발명의 제1 실시예에 의한 CUB 구조를 갖는 EDRAM 장치의 단면도이다.

<48> 도 2를 참조하면, 제1 영역(A), 즉 셀 어레이 영역과 제2 영역(B), 즉 코어/주변회로/로직 영역으로 구분되는 반도체 기판(100) 상에 필드 영역(102)이 형성되고, 상기 필드 영역(102)에 둘러싸인 기판이 액티브 영역으로 정의된다.

<49> 상기 기판(100)의 셀 어레이 영역(A) 및 코어/주변회로/로직 영역(B) 상에 게이트 산화막(도시하지 않음), 게이트 전극(104), 게이트 스페이서(106) 및 불순물 영역(소오스/드레인 영역, n+/p+ 영역)(도시하지 않음)으로 구성된 MOS 트랜지스터들이 형성된다. 상기 게이트 전극(104) 및 그 양 측벽에 형성된 게이트 스페이서(106)는 제1 방향으로 신장되는 게이트 라인을 구성한다. 바람직하게는, 상기 게이트 전극(104)은 불순물이 도핑된 폴리실리콘으로 형성되고, 상기 게이트 스페이서(106)는 실리콘 산화물 또는 실리콘 질화물로 형성된다.

<50> 반도체 장치가 고집적화됨에 따라, 저소비 전력, 고속 동작 및 잡음에 대한 내성을 갖는 고성능의 MOS 트랜지스터가 요구되어진다. 이러한 특성들은 MOS 트랜지스터의 역치 전압(threshold voltage)에 특히 영향을 받는데, MOS 트랜지스터의 역치 전압을 낮추면 전류 구동 능력(current driving capability)을 증가시켜 동작 속도를 증가시킬 수 있다. 일반적으로, MOS 트랜지스터의 역치 전압은 게이트 전극 물질, 게이트 절연층 물질, 게이트 절연층의 두께 및 채널 영역의 도핑 농도 등에 영향을 받는다. 따라서, MOS 트랜지스터의 고속 동작을 구현하기 위하여 특정 부위의 게이트 전극(104) 및 기판 표면

예 코발트 실리사이드(CoSi_2), 니켈 실리사이드(NiSi_2) 또는 티타늄 실리사이드(TiSi_2)와 같은 금속 실리사이드층(108)이 형성된다. 또한, 금속 실리사이드층(108)이 형성되지 않는 부위에는 실리사이드용 금속층과 반응하지 않는 물질, 예컨대 SiON 으로 이루어진 SBL층(110)이 형성된다.

<51> 상기 MOS 트랜지스터들을 포함한 기판(100)의 전면에는 산화물로 이루어진 절연층(112)이 형성된다. 상기 절연층(112)을 관통하여 상기 셀 어레이 영역(A)의 게이트 라인들에 인접한 기판 표면을 노출하는 스토리지 노드 콘택홀(114a) 및 비트라인 콘택홀(114b)과, 상기 코어/주변회로/로직 영역(B)의 게이트 라인 및 기판 표면을 노출하는 금속 콘택홀(114c)이 형성된다.

<52> 상기 스토리지 노드 콘택홀(114a), 비트라인 콘택홀(114b) 및 금속 콘택홀(114c)의 내부는 제1 금속층, 예컨대 텅스텐으로 이루어진 도전성 플러그들, 즉 스토리지 노드 플러그(116a), 비트라인 플러그(116b) 및 금속 플러그(116c)로 매립된다. 여기서, 상기 제1 금속층으로 이루어진 도전성 플러그들(116a, 116b, 116c)과 실리콘으로 이루어진 게이트 라인 및 기판(100)과의 오믹 콘택을 구현하기 위하여 각 도전성 플러그(116a, 116b, 116c)의 하부에 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 제1 장벽 금속층(도시하지 않음)이 형성된다.

<53> 상기 코어/주변회로/로직 영역(B)의 절연층(112) 상에는 각 금속 콘택홀(114c) 내부의 금속 플러그(116c)와 접촉되도록 알루미늄(Al), 알루미늄 합금 또는 구리(Cu)와 같은 제2 금속층으로 이루어진 제1 금속 배선(122)들이 형성된다.

<54> 상기 셀 어레이 영역(A)의 절연층(112) 상에는 각 스토리지 노드 콘택홀(114a) 내부의 스토리지 노드 플러그(116a)와 접촉되도록 하부 전극(126), 유전체막(128) 및 상부

전극(130)으로 이루어진 캐패시터(132)들이 형성된다. 바람직하게는, 상기 캐패시터(132)는 MIM 구조로 형성된다. 즉, 캐패시터의 하부 전극(126) 및 상부 전극(130)은 텅스텐 나이트라이드(WN), 티타늄 나이트라이드(TiN) 등의 도전성 금속 질화물이나 폴라티늄(Pt), 루테늄(Ru), 이리듐(Ir) 등의 희금속으로 형성되고, 유전체막(128)은 높은 유전상수(κ)를 갖는 유전막, 예를 들어 Ta_2O_5 , Y_2O_3 , HfO_2 , ZrO_2 , Nb_2O_5 , $BaTiO_3$ 또는 $SrTiO_3$ 막으로 형성된다.

<55> 상기 캐패시터(132), 제1 금속 배선(122) 및 절연층(112) 상에는 산화물로 이루어진 제1 층간 절연막(120, 124)이 형성된다. 상기 제1 금속 배선(122)을 구리로 형성하는 경우, 상기 제1 층간 절연막은 상기 제1 금속 배선(122)의 표면과 평탄화되어 형성된 제1 층(120)과, 상기 캐패시터(132), 제1 금속 배선(122) 및 제1 층(120) 위에 연속적으로 형성된 제2 층(124)으로 이루어진다. 이때, 셀 캐패시터의 축적 용량을 증대시키기 위하여 상기 캐패시터(132)의 상부 전극(130)과 상기 제1 금속 배선(122)과의 사이에 상기 제1 층간 절연막의 제2 층(124)의 일부분(124a)을 형성할 수 있다.

<56> 상기 제1 층간 절연막(120, 124) 상에는 알루미늄, 알루미늄 합금 또는 구리와 같은 제3 금속층으로 이루어진 비트라인(138a), 금속 배선(138b) 및 제2 금속 배선(138c)이 형성된다. 구체적으로, 상기 셀 어레이 영역(A)에는 제1 층간 절연막의 제1 및 제2 층(120, 124)을 관통하는 콘택홀(134a)들을 통해 각 비트라인 콘택홀(114b) 내부의 비트라인 플러그(116b)와 전기적으로 접속되는 비트라인(138a)들 및 제1 층간 절연막의 제2 층(124)을 관통하는 콘택홀(134b)을 통해 상기 캐패시터의 상부 전극(130)과 전기적으로 접속되는 금속 배선(138b)들이 형성된다. 상기 코어/주변회로/로직 영역(B)에는 제1 층

간 절연막의 제2 층(124)을 관통하는 제1 비어홀(134c)들을 통해 각각의 제1 금속 배선(122)과 전기적으로 접속되는 제2 금속 배선(138c)들이 형성된다.

<57> 도 3a 내지 도 3f는 본 발명의 제1 실시예에 의한 CUB 구조를 갖는 EDRAM 장치의 제조방법을 설명하기 위한 단면도들이다.

<58> 도 3a는 스토리지 노드 콘택홀(114a), 비트라인 콘택홀(114b) 및 금속 콘택홀(114c)을 형성하는 단계를 도시한다. 제1 영역(A), 즉 셀 어레이 영역과 제2 영역(B), 즉 코어/주변회로/로직 영역으로 구분되는 반도체 기판(100) 상에 셀로우 트렌치 소자분리(STI)와 같은 통상의 소자분리 공정에 의해 필드 영역(102)을 형성한다. 그 결과, 상기 필드 영역(102)에 둘러싸인 기판이 액티브 영역으로 정의된다.

<59> 그런 다음, 상기 기판(100)의 액티브 영역 상에 게이트 산화막(도시하지 않음)을 형성한 후, 그 위에 폴리실리콘층을 증착한다. 통상의 도핑 방법, 예컨대 $POCl_3$ 확산, 이온주입, 또는 인-시튜 도핑에 의해 상기 폴리실리콘층을 고농도로 도핑시킨 후, 리소그라피 공정으로 상기 폴리실리콘층을 패터닝하여 게이트 전극(104)을 형성한다. 상기 게이트 전극(104) 및 기판(100) 상에 실리콘 산화물이나 실리콘 질화물과 같은 절연막을 화학 기상 증착(chemical vapor deposition; CVD) 방법으로 증착한 후, 상기 절연막을 이방성 식각하여 상기 게이트 전극(104)의 양 측벽 상에 게이트 스페이서(106)를 형성한다. 이온주입 공정을 통해 상기 게이트 스페이서(106) 양측의 기판 표면에 불순물 영역(소오스/드레인 영역, $n+/p+$ 영역)(도시하지 않음)을 형성한다. 상술한 공정의 결과로, 게이트 전극(104) 및 소오스/드레인 영역으로 이루어진 MOS 트랜지스터들이 완성된다.

<60> 이어서, 상기 MOS 트랜지스터들을 포함한 기판(100) 상에 실리사이드용 금속층과 반응하지 않는 물질, 예컨대 $SiON$ 을 저압 화학 기상 증착(low pressure

chemical vapor deposition; LPCVD) 방법으로 증착하여 SBL층을 형성한 후, 리소그라피 공정으로 상기 SBL층을 패터닝하여 실리사이데이션의 활성화 영역 및 비활성화 영역을 구분하는 SBL 패턴(110)을 형성한다.

<61> 기판(100) 상의 미립자를 비롯한 금속 불순물, 유기 오염물 또는 실리콘층 및 폴리 실리콘층의 표면에 생성된 자연 산화막을 제거하기 위한 통상의 습식 세정 공정을 실시한 후, SBL 패턴(110)에 의해 노출되어 있는 게이트 전극(104) 및 기판 표면에 코발트 실리사이드, 니켈 실리사이드 또는 티타늄 실리사이드와 같은 금속 실리사이드층(108)을 형성한다. 이때, SBL 패턴(110)으로 커버되어 있는 게이트 전극 및/또는 기판 표면에는 금속 실리사이드층이 형성되지 않는다.

<62> 이와 같이 금속 실리사이드층(108)을 형성한 후, 결과물의 전면에 산화물로 이루어진 절연층(112)을 형성한다. 그런 다음, 리소그라피 공정으로 상기 절연층(112)을 식각하여 상기 셀 어레이 영역(A)의 게이트 라인들에 인접한 기판 표면을 노출하는 스토리지 노드 콘택홀(114a) 및 비트라인 콘택홀(114b)과, 상기 코어/주변회로/로직 영역(B)의 게이트 라인 및 기판 표면을 노출하는 금속 콘택홀(114c)을 형성한다.

<63> 도 3b는 도전성 플러그들(116a, 116b, 116c) 및 제1 층간 절연막의 제1 층(120)을 형성하는 단계를 도시한다. 상기 스토리지 노드 콘택홀(114a), 비트라인 콘택홀(114b) 및 금속 콘택홀(114c)을 완전히 매립하도록 상기 절연층(112) 상에 티타늄/티타늄 나이트라이드(Ti/TiN)로 이루어진 제1 장벽 금속층(도시하지 않음) 및 텅스텐으로 이루어진 제1 금속층을 증착한다. 이어서, 상기 절연층(112)의 표면

이 노출될 때까지 CMP 공정 또는 에치백 공정으로 상기 제1 금속층을 제거하여 상기 스토리지 노드 콘택홀(114a), 비트라인 콘택홀(114b) 및 금속 콘택홀(114c)의 내부에 각각 도전성 플러그들, 즉 스토리지 노드 플러그(116a), 비트라인 플러그(116b) 및 금속 플러그(116c)를 형성한다.

<64> 그런 다음, 상기 도전성 플러그들(116a, 116b, 116c) 및 절연층(112) 상에 산화물로 이루어진 제1 층간 절연막의 제1 층(120)을 증착한다.

<65> 도 3c는 제1 금속 배선(122)을 형성하는 단계를 도시한다. 리소그라피 공정을 통해 상기 제1 층간 절연막의 제1 층(120)을 식각하여 개구부(121)들을 형성한 후, 상기 개구부(121)들을 매립하도록 결과물의 전면에 구리와 같은 제2 금속층을 증착한다. 이어서, CMP 공정에 의해 상기 제1 층간 절연막의 제1 층(120)의 표면이 노출될 때까지 상기 제2 금속층을 제거함으로써, 각각의 개구부(121)의 내부에 제2 금속층으로 이루어진 제1 금속 배선(122)들을 형성한다.

<66> 그런 다음, 상기 제1 금속 배선(122) 및 제1 층간 절연막의 제1 층(120) 상에 제1 층간 절연막의 제2 층의 일부분(124a)을 증착한다. 이것은 셀 캐패시터의 높이를 증가시켜 셀 캐패시터의 축적 용량을 증대시키기 위함이다.

<67> 도 3d는 캐패시터(132)를 형성하는 단계를 도시한다. 상술한 바와 같이 제1 층간 절연막의 제2 층의 일부분(124a)을 증착한 후, 리소그라피 공정으로 상기 제1 층간 절연막의 제2 층의 일부분(124a) 및 제1 층(120)을 식각하여 캐패시터 개구부(125)를 형성한다. 상기 캐패시터 개구부(125)를 포함한 결과물의 전면에 텅스텐 나이트라이드(WN), 티타늄 나이트라이드(TiN) 등의 도전성 금속 질화물이나

플라티늄(Pt), 루테늄(Ru), 이리듐(Ir) 등의 희금속과 같은 캐패시터의 하부 전극용 도전층을 증착한 후, 노드 분리를 위한 평탄화 공정, 예를 들어 CMP 공정 또는 에치백 공정을 상기 제1 층간 절연막의 표면이 노출될 때까지 진행하여 상기 캐패시터 개구부(125)의 내부에만 캐패시터 하부 전극(126)을 형성한다.

<68> 이어서, 상기 캐패시터 하부 전극(126) 상에 Ta_2O_5 , Y_2O_3 , HfO_2 , ZrO_2 , Nb_2O_5 , $BaTiO_3$ 또는 $SrTiO_3$ 으로 이루어진 캐패시터 유전체막(128) 및 텅스텐 나이트라이드(WN), 티타늄 나이트라이드(TiN) 등으로 캐패시터 상부 전극(132)을 차례로 형성하여 캐패시터(132)를 완성한다. 이와 같이 본 실시예에서는 제1 금속 배선(122)을 형성한 후 캐패시터(132)를 형성하기 때문에, 캐패시터(132)를 형성하는데 필요한 열 다발이 제1 금속 배선(122)의 전기적 특성과 신뢰성에 영향을 주지 않도록 제어되어야 한다.

<69> 본 실시예에서는 다마신(damascene) 공정을 이용하여 구리로 이루어진 제1 금속 배선(122)을 형성하는 경우에 대해 예시하였으나, 알루미늄이나 알루미늄 합금으로 제1 금속 배선(122)을 형성할 수 있음을 명백하다. 이 경우, 구리 배선을 적용한 경우와 비교하여 공정 순서가 달라지게 된다. 즉, 상술한 바와 같이 도전성 플러그들(116a, 116b, 116c)을 형성한 후, 결과물의 전면에 알루미늄이나 알루미늄 합금과 같은 제2 금속층을 증착하고 리소그라피 공정으로 상기 제2 금속층을 패터닝하여 제1 금속 배선(122)을 형성한다. 이어서, 상기 도전성 플러그들(116a, 116b, 116c), 절연층(112) 및 제1 금속 배선(122) 상에 제1 층간 절연막의 제1 층(120)을 증착하고, 그 위에 제1 층간 절연막의 제2 층의 일부분(124a)을 증착한다. 그런 다음, CMP 공정으로 상기 제1 층간 절연막의 표면을 평탄화하고, 상술한 캐패시터 제조 공정을 수행한다.

<70> 도 3e는 콘택홀(134a, 134b) 및 제1 비어홀(134c)을 형성하는 단계를 도시한다. 상술한 바와 같이 캐패시터(132)를 형성한 후, 결과물의 전면에 제1 층간 절연막의 제2 층의 나머지(124b)를 증착한다. 따라서, 제1 금속 배선(122)과 후속 공정에서 형성되어질 제2 금속 배선 사이에 존재하는 제1 층간 절연막은 제1 층(120) 및 제2 층(124)으로 구성된다.

<71> 그런 다음, 리소그라피 공정으로 상기 제1 층간 절연막(120, 124)을 식각하여 상기 비트라인 콘택홀(114b) 내부의 비트라인 플러그(116b) 및 상기 캐패시터 상부 전극(130)을 각각 노출하는 콘택홀들(134a, 134b) 및 상기 제1 금속 배선(122)들을 노출하는 제1 비어홀(134c)들을 형성한다.

<72> 도 3f는 비트라인(138a) 및 제2 금속 배선(138c)을 형성하는 단계를 도시한다. 상기 콘택홀들(134a, 134b) 및 제1 비어홀(134c)들을 매립하도록 상기 제1 층간 절연막(120, 124) 상에 알루미늄, 알루미늄 합금 또는 구리와 같은 제3 금속층을 증착하고, 상기 제3 금속층을 패터닝하여 비트라인(138a), 금속 배선(138b) 및 제2 금속 배선(138c)을 동시에 형성한다.

<73> 상기 제1 금속 배선(122)을 구리로 형성할 경우, 상기 콘택홀들(134a, 134b) 및 제1 비어홀(134c)의 내부에 텅스텐-비어 플러그를 형성하고 싱글-다마신(single-damascene) 공정으로 제2 구리 배선을 형성하는 방법, 상기 콘택홀들(134a, 134b) 및 제1 비어홀(134c)의 내부에 구리-비어 플러그를 형성하고 싱글-다마신(single-damascene) 공정으로 제2 구리 배선을 형성하는 방법, 또는 듀얼-다마신(dual-damascene) 공정으로 구리-비어 플러그 및 제2 구리 배선을 동시에 형성하는 방법 중의 어느 하나를 사용할 수 있다.

<74> 상기 비트라인(138a)은 제1 층간 절연막의 제1 및 제2 층(120, 124)을 관통하는 콘택홀(134a)을 통해 비트라인 콘택홀(114b) 내부의 비트라인 플러그(116b)와 전기적으로 접속된다. 상기 금속 배선(138b)은 제1 층간 절연막의 제2 층(124)을 관통하는 콘택홀(134b)을 통해 상기 캐패시터의 상부 전극(130)과 전기적으로 접속된다. 상기 제2 금속 배선(138c)은 제1 층간 절연막의 제2 층(124)을 관통하는 제1 비어홀(134c)을 통해 상기 제1 금속 배선(122)과 전기적으로 접속된다.

<75> 상술한 바와 같이 본 발명의 제1 실시예에 의하면, 금속 콘택홀(114c)의 깊이를 줄이기 위한 별도의 콘택 스터드를 형성하지 않고 금속 콘택홀(114c)을 스토리지 노드 콘택홀(114a) 및 비트라인 콘택홀(114b)과 동시에 형성함으로써, 코어/주변회로/로직 영역(B)의 제1 금속 배선(122)을 셀 어레이 영역(A)의 캐패시터(132)와 실질적으로 동일한 레벨에 형성한다. 따라서, 표준 로직 공정에 비해 2회의 리소그라피 공정만이 추가되므로 공정 원가를 절감할 수 있다.

<76> 또한, 제1 금속 배선(122)과 제2 금속 배선(138c)을 접속시키기 위한 제1 비어홀(134c)의 깊이를 [(캐패시터 높이 + 캐패시터 상부 전극 두께 + 캐패시터 상부 전극과 제1 금속 배선 간의 수직 간격) - (제1 금속 배선의 두께)]로 가져감으로써 표준 로직 공정의 수준과 거의 동일하게 만들 수 있다. 따라서, 금속 콘택홀(114c) 및 제1 비어홀(134c)의 깊이를 줄일 수 있어 수율 확보에 유리하다.

<77> 실시예 2

<78> 도 4a 내지 도 4d는 본 발명의 제2 실시예에 의한 CUB 구조를 갖는 EDRAM 장치의 제조방법을 설명하기 위한 단면도들이다. 본 실시예에서 실시예 1에서와 동일한 부재는 동일한 참조부호로 나타낸다.

<79> 도 4a를 참조하면, 상술한 실시예 1의 도 3a 및 도 3b에 도시한 바와 동일한 방법으로 스토리지 노드 콘택홀(114a), 비트라인 콘택홀(114b) 및 금속 콘택홀(114c)의 내부에 각각 도전성 플러그들, 즉 스토리지 노드 플러그(116a), 비트라인 플러그(116b) 및 금속 플러그(116c)를 형성한다.

<80> 그런 다음, 상기 도전성 플러그들(116a, 116b, 116c) 및 절연층(112) 상에 산화물로 이루어진 제1 층간 절연막의 제1 층(120)을 증착하고, 리소그래피 공정을 통해 상기 제1 층간 절연막의 제1 층(120)을 식각하여 각 비트라인 콘택홀(114b) 내부의 비트라인 플러그(116b)를 노출하는 제1 개구부(121a) 및 제1 금속 배선이 형성되어질 제2 개구부(121b)를 형성한다.

<81> 상기 제1 및 제2 개구부(121a, 121b)들을 매립하도록 결과물의 전면에 구리와 같은 제2 금속층을 증착한다. 이어서, CMP 공정에 의해 상기 제1 층간 절연막의 제1 층(120)의 표면이 노출될 때까지 상기 제2 금속층을 제거함으로써, 상기 제1 개구부(121a) 및 제2 개구부(121b)의 내부에 각각 랜딩 패드(122a) 및 제1 금속 배선(122b)들을 형성한다

<82> 상기 랜딩 패드(122a)는 비트라인 콘택의 깊이를 줄여주는 역할을 하며, 인접한 스토리지 노드 콘택홀(114a)과의 간격 마진에 의해 그 사이즈(s2)가 결정된다. 바람직하게는, 안정적인 저항 확보를 위하여 상기 랜딩 패드(122a)의 사이즈(s2)를 그 하부의 비트라인 콘택홀(114b)의 사이즈(s1)보다 크게 한다.

<83> 도 4b를 참조하면, 상술한 바와 같이 랜딩 패드(122a) 및 제1 금속 배선(122b)을 형성한 후, 결과물의 전면에 제1 층간 절연막의 제2 층의 일부분(124a)을 증착한다. 이 것은 셀 캐패시터의 높이를 증가시켜 셀 캐패시터의 축적 용량을 증대시키기 위함이다.

<84> 이어서, 리소그라피 공정으로 상기 제1 층간 절연막의 제2 층의 일부분(124a) 및 제1 층(120)을 식각하여 캐패시터 개구부(125)를 형성하고, 실시예 1과 동일한 방법으로 하부 전극(126), 유전체막(128) 및 상부 전극(130)으로 구성된 캐패시터(132)들을 형성 한다. 이때, 캐패시터(132)를 형성하는데 필요한 열 다발이 상기 제1 금속 배선(122b)의 전기적 특성과 신뢰성에 영향을 주지 않도록 제어되어야 한다.

<85> 본 실시예에서는 다마신(damascene) 공정을 이용하여 구리로 이루어진 랜딩 패드(122a) 및 제1 금속 배선(122b)을 형성하는 경우에 대해 예시하였으나, 알루미늄이나 알루미늄 합금으로 상기 랜딩 패드(122a) 및 제1 금속 배선(122b)을 형성할 수 있음을 명백하다. 즉, 상술한 바와 같이 도전성 플러그들(116a, 116b, 116c)이 형성된 결과물의 전면에 알루미늄이나 알루미늄 합금과 같은 제2 금속층을 증착하고, 리소그라피 공정으로 상기 제2 금속층을 패터닝하여 랜딩 패드(122a) 및 제1 금속 배선(122b)을 형성한다. 그런 다음, 상기 도전성 플러그들(116a, 116b, 116c), 절연층(112), 랜딩 패드(122a) 및 제1 금속 배선(122b) 상에 제1 층간 절연막의 제1 층(120)을 증착하고, 그 위에 제1 층간 절연막의 제2 층의 일부분(124a)을 증착한다. 계속해서, CMP 공정으로 상기 제1 층간 절연막의 표면을 평탄화한 후, 상술한 캐패시터 제조 공정을 수행한다.

<86> 도 4c를 참조하면, 캐패시터(132)들이 형성된 결과물의 전면에 제1 층간 절연막의 제2 층의 나머지(124b)를 증착한다. 따라서, 제1 금속 배선(122)과 후속 공정에서 형성

되어질 제2 금속 배선 사이에 존재하는 제1 충간 절연막은 제1 층(120) 및 제2 층(124)으로 구성된다.

<87> 그런 다음, 리소그라피 공정으로 상기 제1 충간 절연막(120, 124)을 식각하여 상기 랜딩 패드(122a) 및 캐패시터 상부 전극(130)을 각각 노출하는 콘택홀들(134a, 134b) 및 상기 제1 금속 배선(122b)들을 노출하는 제1 비어홀(134c)들을 형성한다.

<88> 도 4d를 참조하면, 상기 콘택홀들(134a, 134b) 및 제1 비어홀(134c)들을 매립하도록 상기 제1 충간 절연막(120, 124) 상에 알루미늄, 알루미늄 합금 또는 구리와 같은 제3 금속층을 증착하고, 상기 제3 금속층을 패터닝하여 비트라인(138a), 금속 배선(138b) 및 제2 금속 배선(138c)을 동시에 형성한다.

<89> 상기 제1 금속 배선(122)을 구리로 형성할 경우, 상기 콘택홀들(134a, 134b) 및 제1 비어홀(134c)들의 내부에 텅스텐-비어 플러그를 형성하고 싱글-다마신(single-damascene) 공정으로 제2 구리 배선을 형성하는 방법, 상기 콘택홀들(134a, 134b) 및 제1 비어홀(134c)의 내부에 구리-비어 플러그를 형성하고 싱글-다마신(single-damascene) 공정으로 제2 구리 배선을 형성하는 방법, 또는 듀얼-다마신(dual-damascene) 공정으로 구리-비어 플러그 및 제2 구리 배선을 동시에 형성하는 방법 중의 어느 하나를 사용할 수 있다.

<90> 상기 비트라인(138a)은 제1 충간 절연막의 제2 층(124)을 관통하는 콘택홀(134a)을 통해 상기 랜딩 패드(122a)와 전기적으로 접속된다. 상기 금속 배선(138b)은 제1 충간 절연막의 제2 층(124)을 관통하는 콘택홀(134b)을 통해 상기 캐패시터의 상부 전극(130)과 전기적으로 접속된다. 상기 제2 금속 배선(138c)은 제1 충간 절연막의 제2 층(124)을 관통하는 제1 비어홀(134c)을 통해 상기 제1 금속 배선(122b)과 전기적으로 접속된다.

<91> 상술한 바와 같이 본 발명의 제2 실시예에 의하면, 제1 금속 배선(122b)과 동일한 층으로 비트라인 콘택에 대한 랜딩 패드를 형성함으로써 비트라인 콘택(134a)의 깊이가 제1 비어홀(134c)의 깊이와 같아진다. 따라서, 비트라인 콘택(134a)의 사이즈를 줄일 수 있어 캐패시터 상부 전극(130)과의 간격 마진을 증가시킬 수 있다.

【발명의 효과】

<92> 상술한 바와 같이 본 발명에 의하면, 별도의 콘택 스터드를 형성하지 않고 코어/주변회로/로직 영역의 제1 금속 배선을 셀 어레이 영역의 캐패시터와 실질적으로 동일한 레벨에 형성한다. 따라서, 표준 로직 공정에 비해 2회의 리소그라피 공정만이 추가되므로 공정 원가를 절감할 수 있으며, 금속 콘택홀 및 제1 비어홀의 깊이를 줄일 수 있어 수율 확보에 유리하다.

<93> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

캐패시터-언더-비트라인 구조를 갖는 반도체 장치에 있어서,

제 1 영역과 제2 영역으로 구분되는 반도체 기판의 상기 제1 영역 및 제2 영역 상에 형성되는 게이트 라인들;

상기 게이트 라인들을 포함한 기판 상에 형성되고, 상기 제1 영역의 게이트 라인들에 인접한 기판 표면을 노출하는 스토리지 노드 콘택홀들 및 비트라인 콘택홀들과 상기 제2 영역의 게이트 라인들 및 기판 표면을 노출하는 금속 콘택홀들을 갖는 절연층;

상기 스토리지 노드 콘택홀, 비트라인 콘택홀 및 금속 콘택홀의 각각의 내부에 형성된 도전성 플러그들;

각 금속 콘택홀 내부의 도전성 플러그와 접촉되도록 상기 제2 영역의 절연층 상에 형성된 제1 금속 배선들;

각 스토리지 노드 콘택홀 내부의 도전성 플러그와 접촉되도록 상기 제1 영역의 절연층 상에 형성된 캐패시터들;

상기 캐패시터, 제1 금속 배선 및 절연층 상에 형성된 제1 층간 절연막; 및

상기 제2 영역의 제1 층간 절연막 상에 형성된 제2 금속 배선들을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 제1 영역은 셀 어레이 영역이고, 상기 제2 영역은 코어 영역, 주변회로 영역 또는 로직 영역 중의 어느 하나인 것을 특징으로 하는 반도체 장치.

【청구항 3】

제1항에 있어서, 상기 캐패시터는 MIM 구조로 형성된 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 제2 금속 배선들은 상기 제1 층간 절연막을 관통하는 제1 비어홀들을 통해 각각의 제1 금속 배선과 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제1항에 있어서, 상기 제1 영역의 제1 층간 절연막 상에 상기 제2 금속 배선과 동일한 층으로 형성되고, 상기 제1 층간 절연막을 관통하는 콘택홀들을 통해 각 비트라인 콘택홀 내부의 도전성 플러그와 전기적으로 접속되는 비트라인을 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제1항에 있어서, 상기 제1 층간 절연막은 상기 제1 금속 배선의 표면과 평탄화되어 형성된 제1 층과, 상기 캐패시터, 제1 금속 배선 및 제1 층 위에 연속적으로 형성된 제2 층으로 이루어진 것을 특징으로 하는 반도체 장치.

【청구항 7】

제6항에 있어서, 상기 캐패시터의 높이를 증가시키기 위하여 상기 캐패시터와 상기 제1 금속 배선과의 사이에 상기 제1 층간 절연막의 제2 층의 일부분이 형성된 것을 특징으로 하는 반도체 장치.

【청구항 8】

제1항에 있어서, 각 비트라인 콘택홀 내부의 도전성 플러그와 접촉되도록 상기 제1 영역의 절연층 상에 상기 제1 금속 배선과 동일한 층으로 형성된 랜딩 패드들을 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제8항에 있어서, 상기 랜딩 패드는 상기 비트라인 콘택홀의 사이즈보다 큰 사이즈로 형성된 것을 특징으로 하는 반도체 장치.

【청구항 10】

제8항에 있어서, 상기 제1 영역의 제1 층간 절연막 상에 상기 제2 금속 배선과 동일한 층으로 형성되고, 상기 제1 층간 절연막을 관통하는 콘택홀들을 통해 각각의 랜딩 패드와 전기적으로 접속되는 비트라인을 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 11】

캐패시터-언더-비트라인 구조를 갖는 반도체 장치의 제조방법에 있어서, 제 1 영역과 제2 영역으로 구분되는 반도체 기판의 상기 제1 영역 및 제2 영역 상에 게이트 라인들을 형성하는 단계;

상기 게이트 라인들을 포함한 기판 상에 절연층을 형성하는 단계;

상기 절연층을 식각하여 상기 제1 영역의 게이트 라인들에 인접한 기판 표면을 노출하는 스토리지 노드 콘택홀들 및 비트라인 콘택홀들과 상기 제2 영역의 게이트 라인들 및 기판 표면을 노출하는 금속 콘택홀들을 형성하는 단계;

상기 스토리지 노드 콘택홀, 비트라인 콘택홀 및 금속 콘택홀의 내부에 각각 도전성 플러그들을 형성하는 단계;

상기 제2 영역의 절연층 상에 각 금속 콘택홀 내부의 도전성 플러그와 접촉하도록 제1 금속 배선들을 형성하는 단계;

상기 제1 영역의 절연층 상에 각 스토리지 노드 콘택홀 내부의 도전성 플러그와 접촉하도록 캐패시터들을 형성하는 단계;

상기 캐패시터, 제1 금속 배선 및 절연층 상에 제1 층간 절연막을 형성하는 단계;
및

상기 제2 영역의 제1 층간 절연막 상에 제2 금속 배선들을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 12】

제11항에 있어서, 상기 제1 영역은 셀 어레이 영역이고, 상기 제2 영역은 코어 영역, 주변회로 영역 또는 로직 영역 중의 어느 하나인 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 13】

제11항에 있어서, 상기 캐패시터는 MIM 구조로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 14】

제11항에 있어서, 상기 제2 금속 배선들을 형성하는 단계 전에 상기 제1 층간 절연막을 식각하여 각각의 제1 금속 배선을 노출하는 제1 비어홀들을 형성하는 단계를 더 구비하며,

상기 제2 금속 배선들은 상기 제1 비어홀들을 통해 각각의 제1 금속 배선과 전기적으로 접속되는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 15】

제14항에 있어서, 상기 제1 층간 절연막을 식각하여 제1 비어홀들을 형성하는 단계에서 각 비트라인 콘택홀 내부의 도전성 플러그를 노출하는 콘택홀들을 동시에 형성하고,

상기 비트라인은 상기 콘택홀들을 통해 각 비트라인 콘택홀 내부의 도전성 플러그와 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

【청구항 16】

제11항에 있어서, 상기 제1 금속 배선들을 형성하는 단계는,

상기 도전성 플러그 및 절연층 상에 제1 층간 절연막의 제1 층을 증착하는 단계;

상기 제1 층간 절연막의 상기 제1 층을 식각하여 개구부를 형성하는 단계;

상기 개구부를 매립하도록 상기 제1 층간 절연막의 상기 제1 층 상에 금속층을 증착하는 단계; 및

상기 제1 층간 절연막의 상기 제1 층의 표면이 노출될 때까지 상기 금속층을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 17】

제16항에 있어서, 상기 캐패시터들을 형성하는 단계 전에 상기 제1 금속 배선 및 제1 충간 절연막의 제1 층 상에 상기 제1 충간 절연막의 제2 층의 일부분을 증착하는 단계를 더 구비하고,

상기 제1 충간 절연막을 형성하는 단계에서 상기 캐패시터를 포함한 결과물의 전면에 상기 제1 충간 절연막의 상기 제2 층의 나머지를 증착하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 18】

제11항에 있어서, 상기 제1 금속 배선들을 형성하는 단계는,
상기 도전성 플러그들 및 절연층 상에 금속층을 증착하는 단계;
상기 금속층을 패터닝하여 제1 금속 배선들을 형성하는 단계; 및
상기 제1 금속 배선, 도전성 플러그 및 절연층 상에 제1 충간 절연막의 제1 층을 증착하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 19】

제18항에 있어서, 상기 캐패시터들을 형성하는 단계 전에,
상기 제1 충간 절연막의 상기 제1 층 상에 상기 제1 충간 절연막의 제2 층의 일부분을 증착하는 단계; 및
상기 결과물의 표면을 평탄화하는 단계를 더 구비하고,

상기 제1 층간 절연막을 형성하는 단계에서 상기 캐패시터를 포함한 결과물의 전면에 상기 제1 층간 절연막의 상기 제2 층의 나머지를 증착하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 20】

제11항에 있어서, 상기 제1 금속 배선들을 형성하는 단계에서, 상기 제1 영역의 절연층 상에 각 비트라인 콘택홀 내부의 도전성 플러그와 접촉하도록 랜딩 패드들을 동시에 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 21】

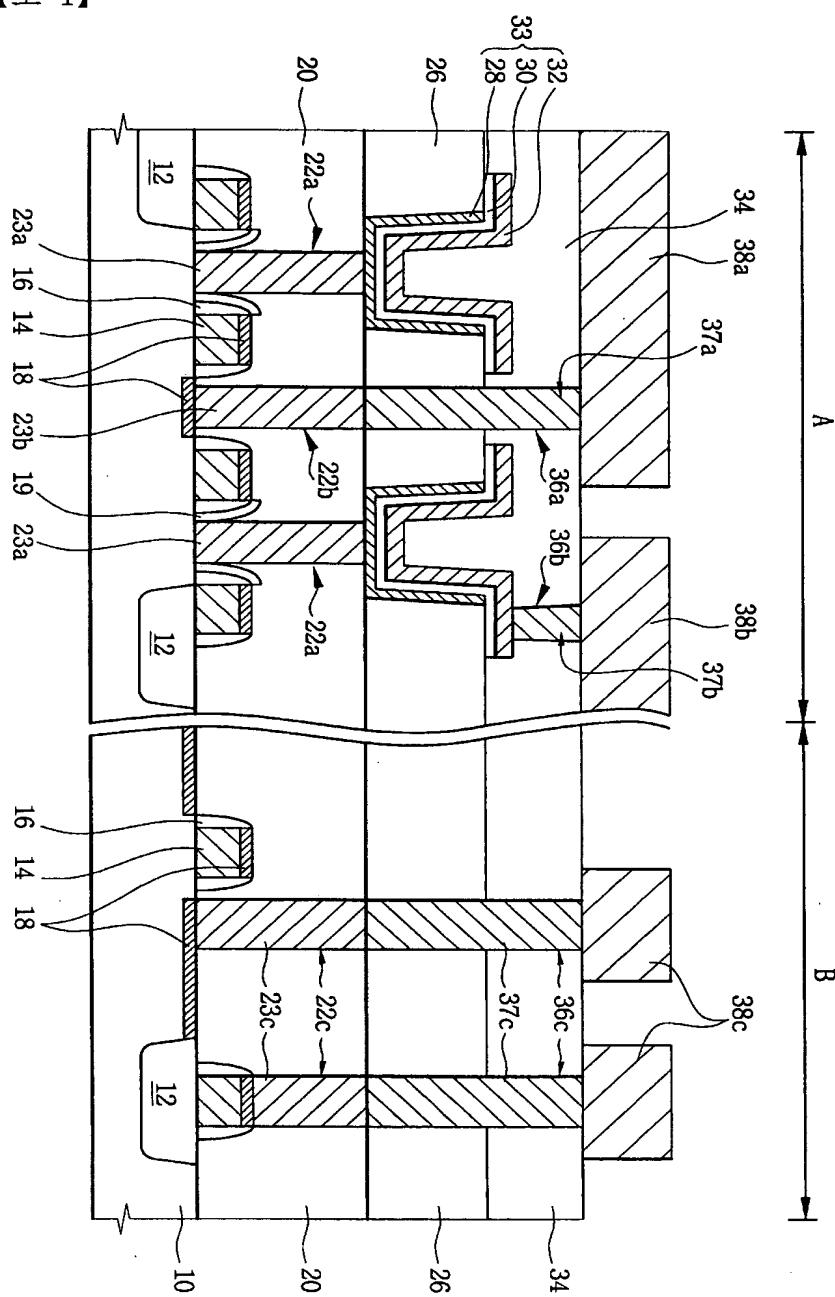
제20항에 있어서, 상기 랜딩 패드는 상기 비트라인 콘택홀의 사이즈보다 큰 사이즈로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 22】

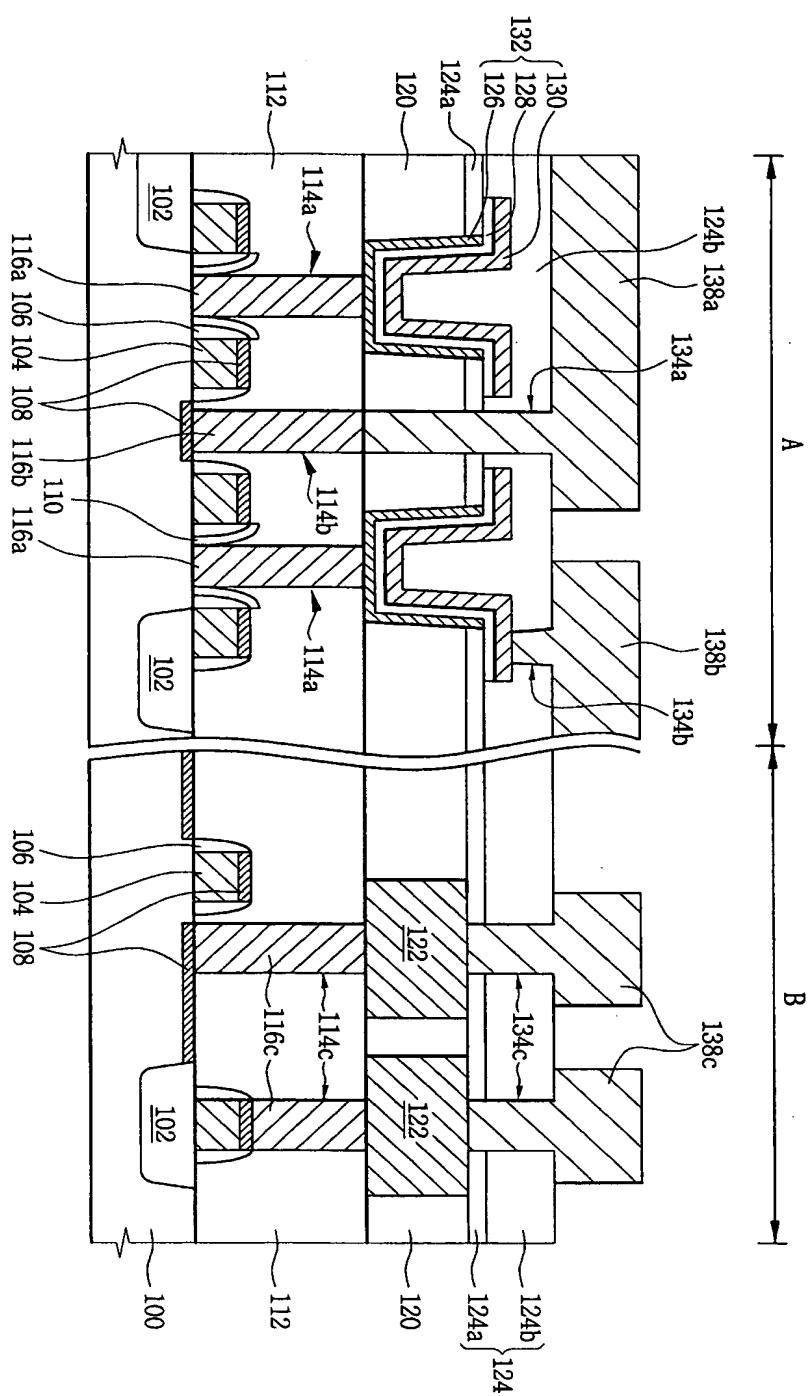
제20항에 있어서, 상기 제2 금속 배선들을 형성하는 단계 전에 상기 제1 층간 절연막을 식각하여 각각의 랜딩 패드를 노출하는 콘택홀들을 형성하는 단계를 더 구비하며, 상기 제2 금속 배선들을 형성하는 단계에서 상기 콘택홀들을 통해 각각의 랜딩 패드와 전기적으로 접속되는 비트라인을 동시에 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

【도면】

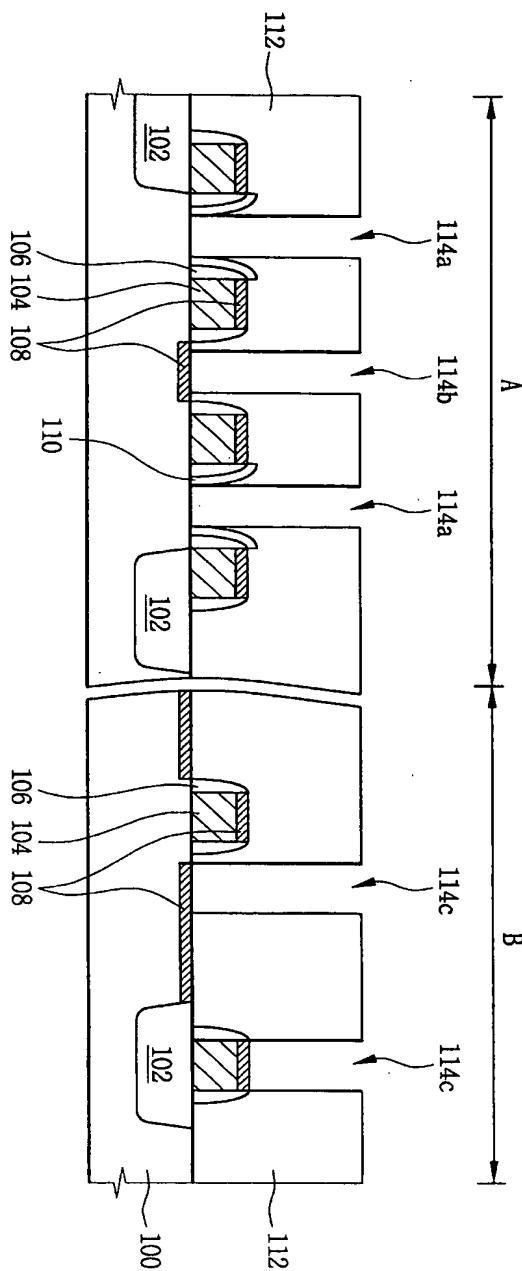
【도 1】



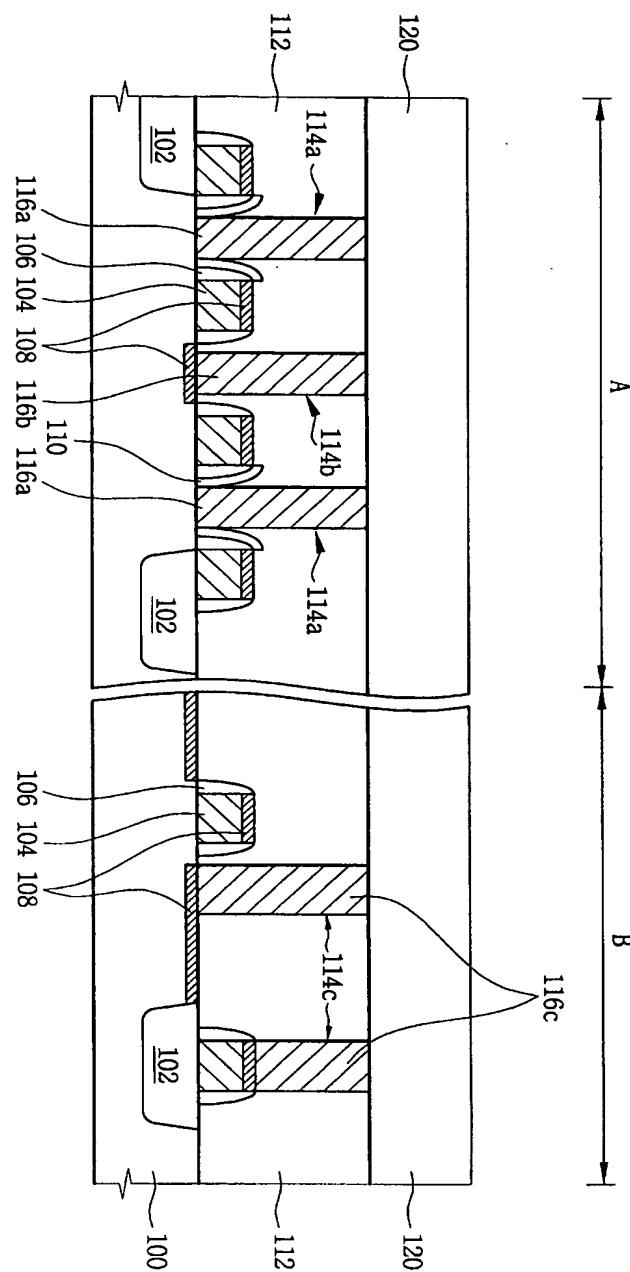
【도 2】



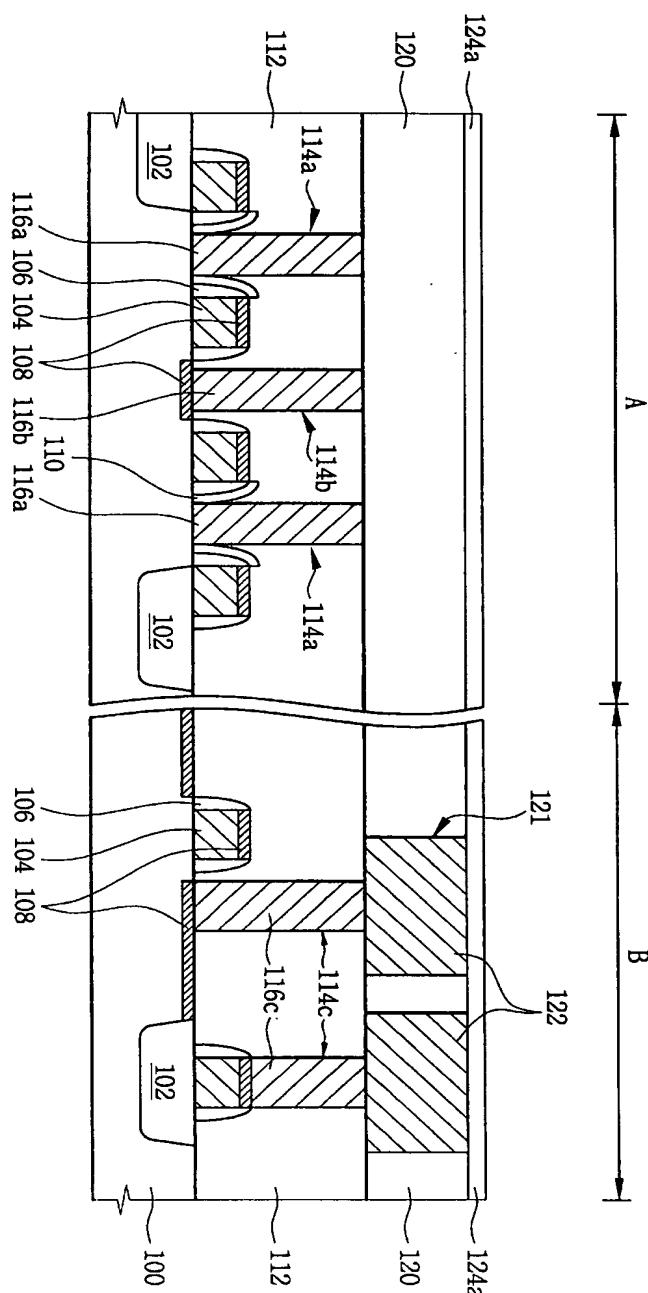
【도 3a】



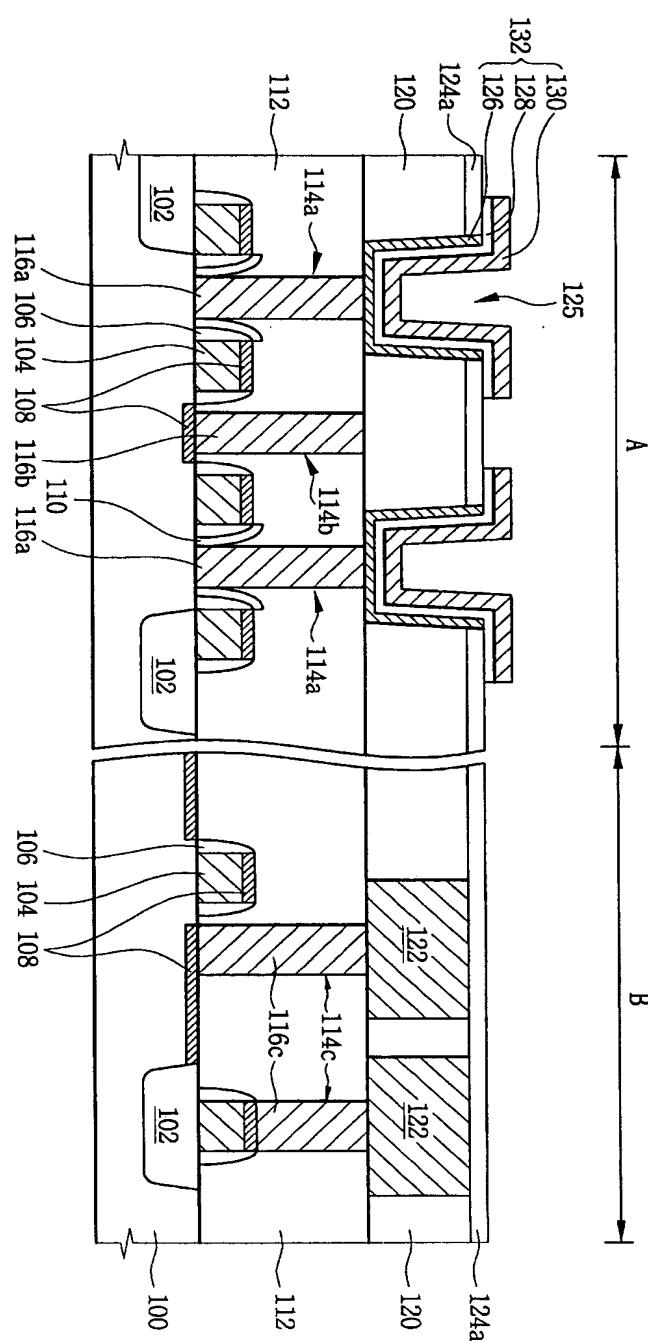
【도 3b】



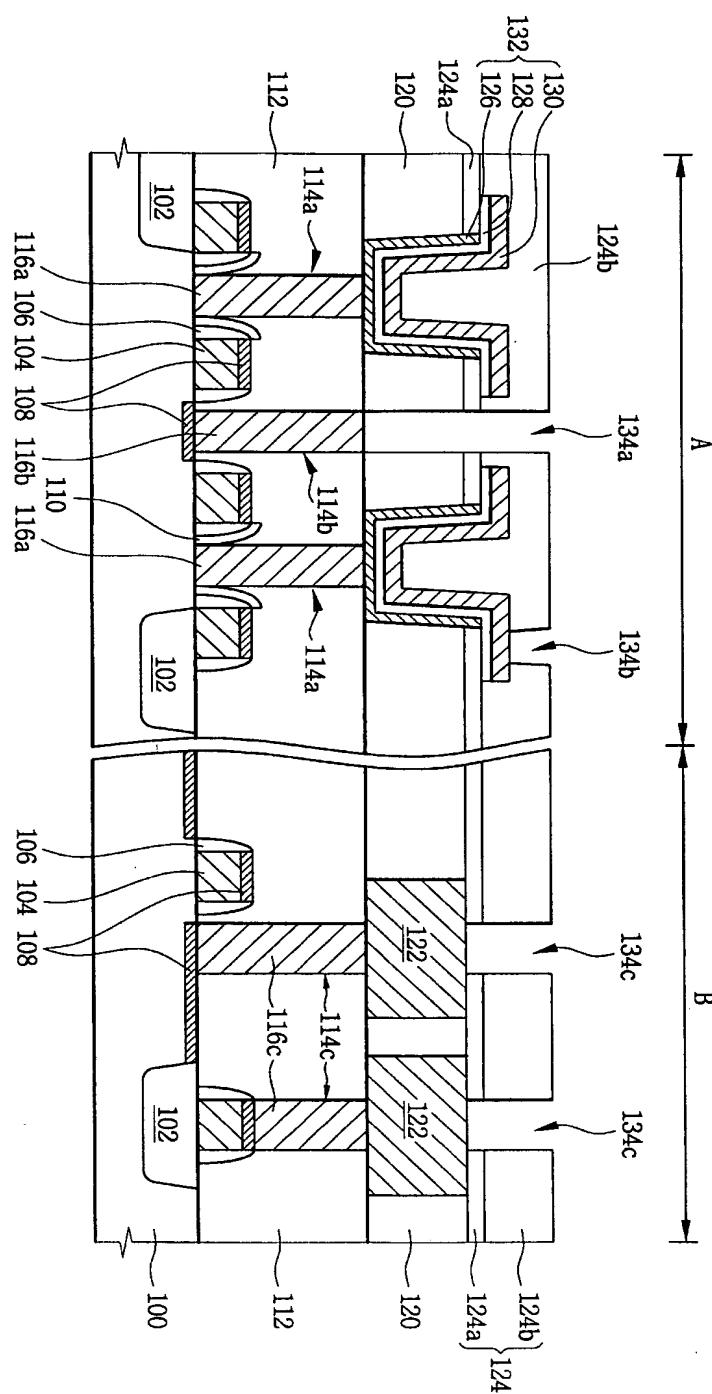
【도 3c】



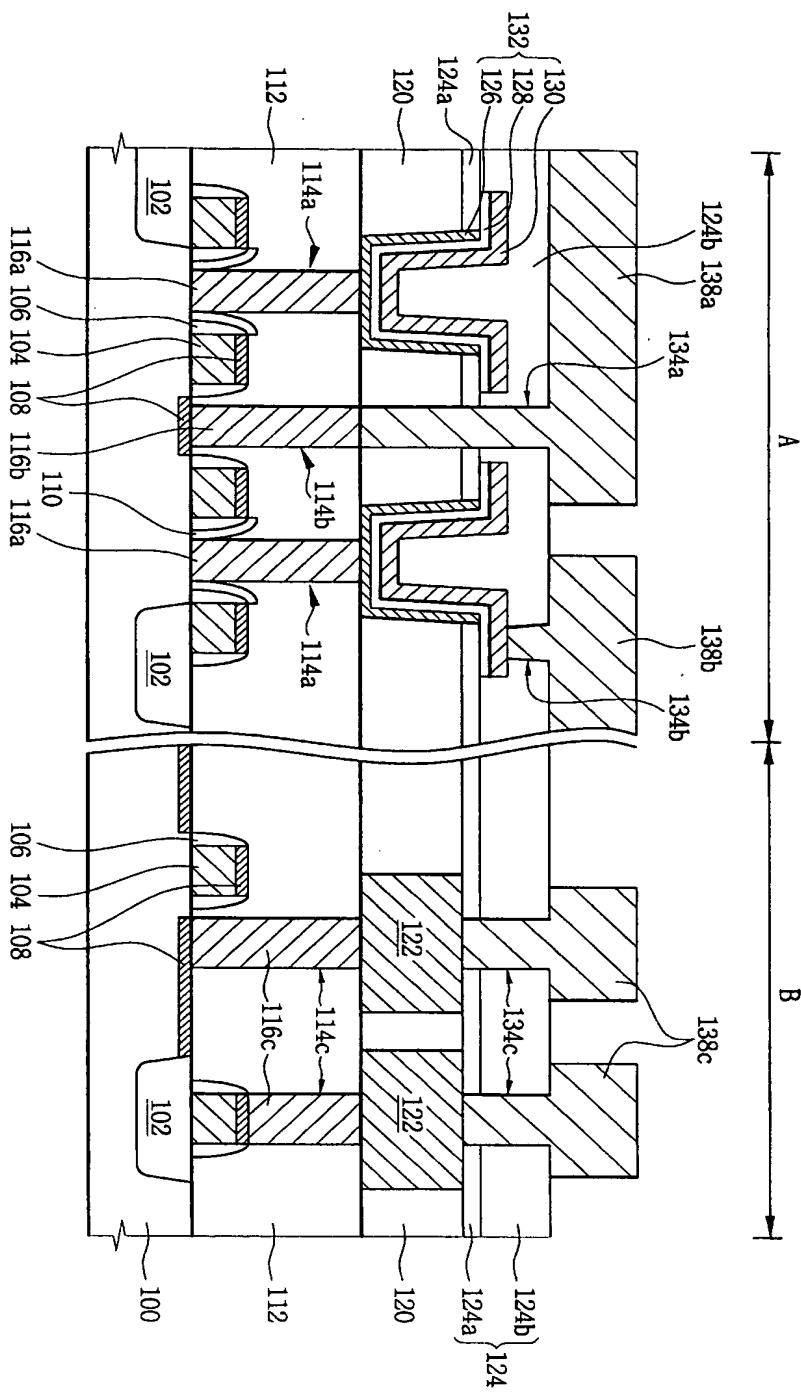
【도 3d】



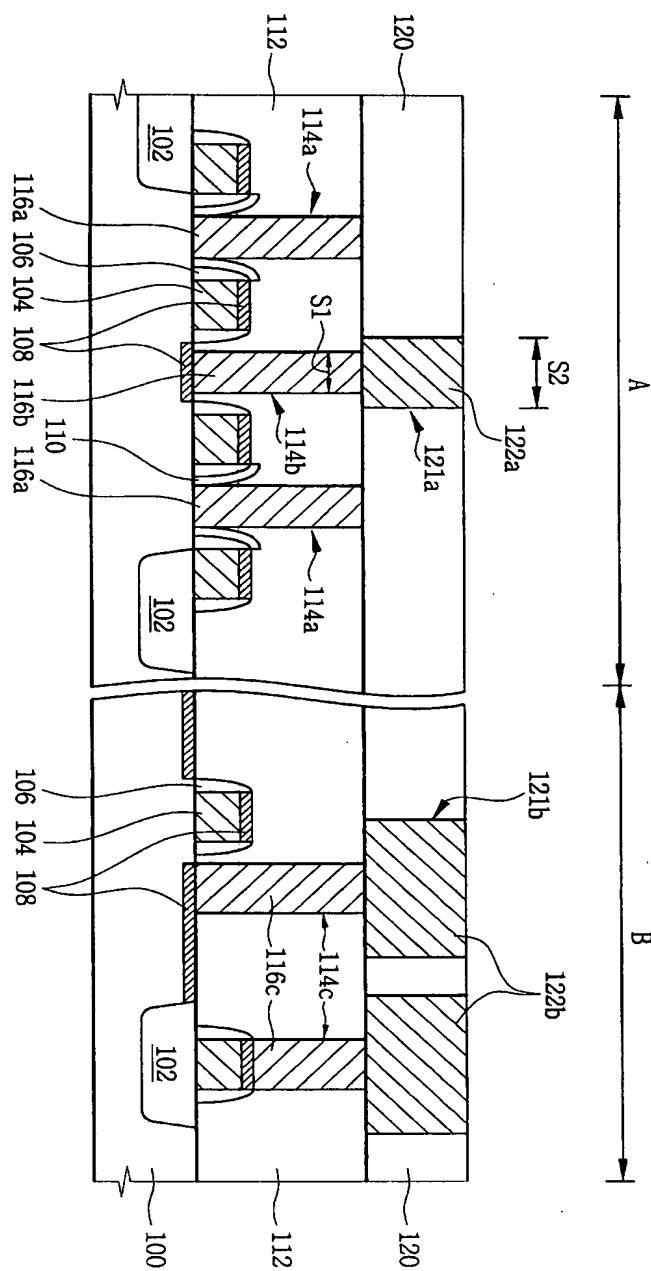
【도 3e】



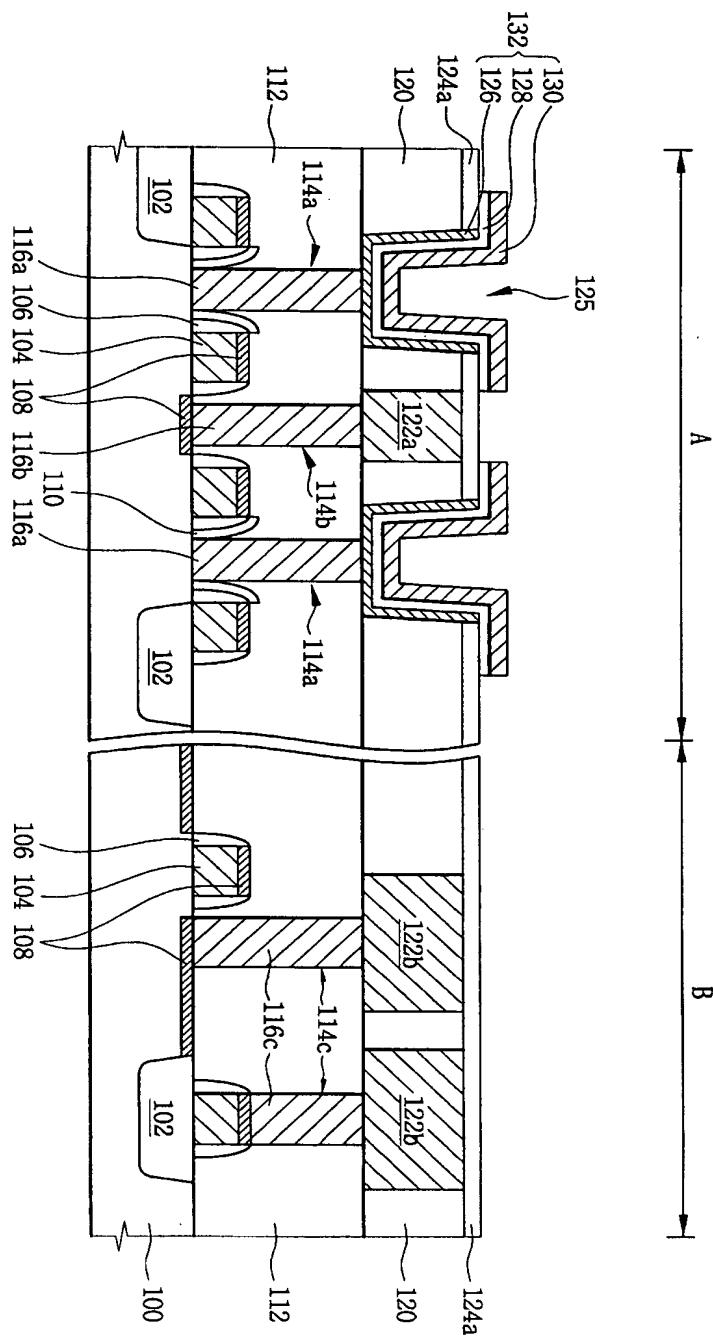
【도 3f】



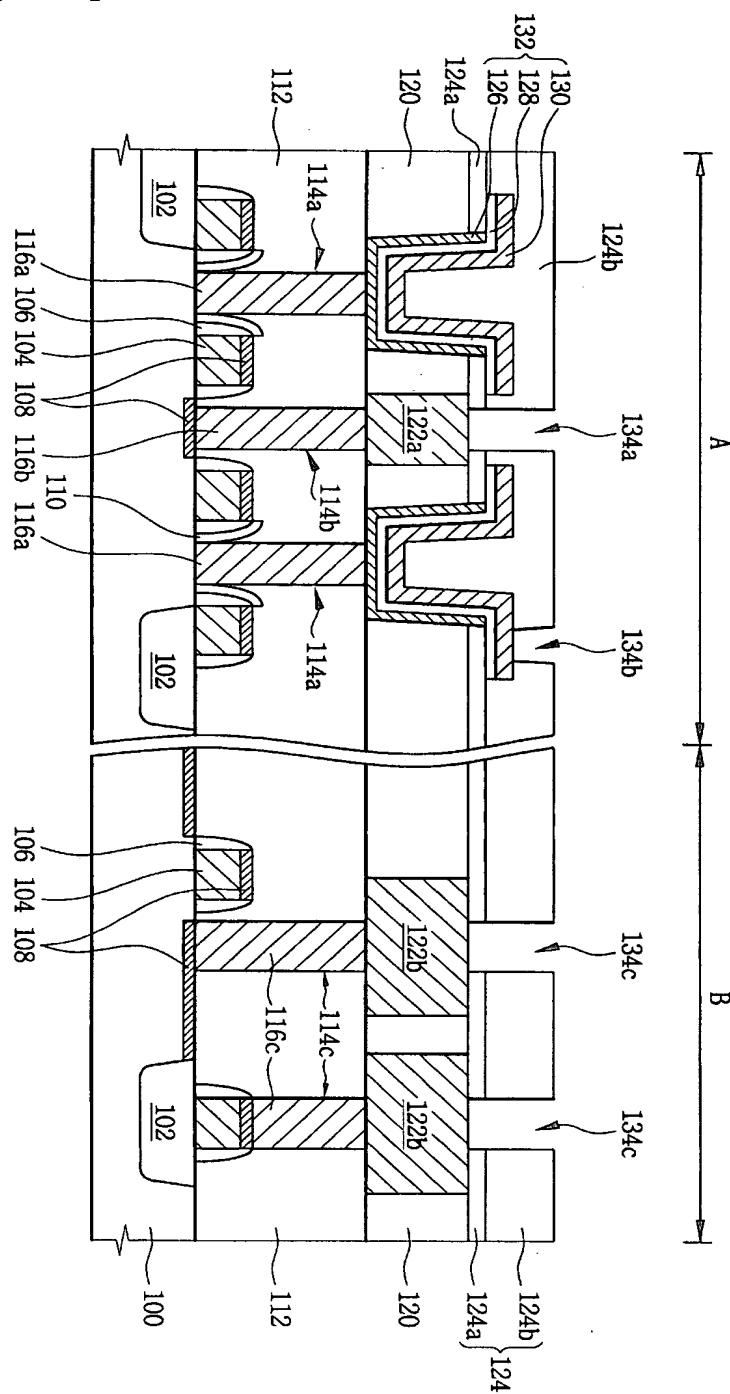
【도 4a】



【도 4b】



【도 4c】



【도 4d】

